

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 7月29日

出 願 番 号
Application Number:

平成10年特許願第214495号

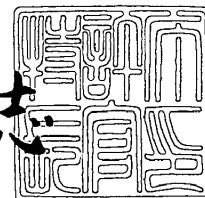
出 願 人
Applicant(s):

株式会社デンソー

1999年 6月17日

特 許 庁 長 官
Commissioner,
Patent Office

伴佐山 建志



【書類名】 特許願

【整理番号】 IP002943

【提出日】 平成10年 7月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
H01L 21/469

【発明の名称】 半導体装置の製造方法

【請求項の数】 3

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 白木 聡

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 伊藤 一郎

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 山元 富雄

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 大川 誠

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 高橋 篤美

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100100022

 【弁理士】

【氏名又は名称】 伊藤 洋二

【電話番号】 052-565-9911

【選任した代理人】

【識別番号】 100108198

【弁理士】

【氏名又は名称】 三浦 高広

【電話番号】 052-565-9911

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9300006

【包括委任状番号】 9701008

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板(21)上に絶縁膜(34、36)を介して形成する金属薄膜抵抗体(37)を備えた半導体装置の製造方法において、

前記半導体基板(1)上の所定領域に、前記絶縁膜(34、36)を介して前記金属薄膜抵抗体(37)を構成する金属薄膜を成膜すると共に、該金属薄膜上にバリアメタル(38)を形成する工程と、

前記バリアメタルの表面を酸化させて表面酸化層(38a)を形成する工程と、

前記表面酸化層(38a)上に導電性薄膜(39)を形成する工程と、

前記バリアメタル(38)上における前記導電性薄膜(39)をパターンニングする工程と、

前記表面酸化層(38a)及び前記バリアメタル(38)をウェットエッチングによってパターンニングする工程と、を備えていることを特徴とする半導体装置の製造方法。

【請求項2】 前記表面酸化層(38a)及び前記バリアメタル(38)をパターンニングする工程の後に、熱処理を施し、前記表面酸化層(38a)と前記導電性薄膜(39)とを反応させる工程を含んでいることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記導電性薄膜(39)上に、層間絶縁膜(40)を介してAl配線(41)を形成する工程を有し、前記熱処理はAl配線(41)におけるAlシンターで行うことを特徴とする請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レーザートリミング用の薄膜抵抗体を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

CrSi等で構成される薄膜抵抗体は、所望の抵抗値を得るために用いられ、レーザートリミングによって所望の抵抗値になされる。この薄膜抵抗体の電極構造には、薄膜抵抗体とAl薄膜層との相互拡散による電流許容量の低下を避けるため、薄膜抵抗体とAl薄膜層との間にバリアメタルをサンドイッチした薄膜抵抗体／バリアメタル／Al薄膜層という構造が採用されている。

【0003】

バリアメタルをパターニングするに際し、バリアメタルをドライエッチングで加工すると、ドライエッチングに塩素系ガスを使用することから、露出した薄膜抵抗体までエッチングされてしまう。このため、バリアメタルのパターニングはウェットエッチングで行う必要がある。

【0004】

【発明が解決しようとする課題】

バリアメタルのパターニングをウェットエッチングで行う場合、パターニングマスクとしてのレジストが浮いてしまうのを防止するために、高エッチレートを実現できる H_2O_2/NH_4OH 系溶液がエッチング液として使用される。

しかしながら、このようなエッチング液を用いると、図17に示されるように、バリアメタル101の界面付近のAl薄膜層（導電性薄膜）102がアンダーカットされて逆テーパー形状となってしまう、Al薄膜層102の上層に形成される絶縁膜103やAl配線104等にその逆テーパー形状が継承され、Al配線103が断線してしまうという問題が発生した。

【0005】

本発明は上記問題に鑑みて成され、導電性薄膜が逆テーパー形状とならないようにして、上層に形成される配線パターンの断線を防止することを目的とする。

【0006】

【課題を解決するための手段】

本発明者らが、Al薄膜層が逆テーパー形状となってしまう原因について検討を行ったところ、逆テーパー形状となるメカニズムは、図18の模式図に示されるよ

うに、ウェットエッチング時において、導電率の高いアルカリ水溶液105に浸されたバリアメタル101とAl薄膜層102との間に起電力が発生してしまい、これが電池作用として働いて卑な金属であるAlが溶出し、バリアメタル101の界面付近のAlエッチレートが大きくなってしまいうためであることが判った。

【0007】

そこで、上記目的を達成するため、以下の技術的手段を採用する。

請求項1に記載の発明においては、バリアメタル(38)の表面を酸化させて表面酸化層(38a)を形成したのち、この表面酸化層(38a)上に導電性薄膜(39)を形成して、導電性薄膜(39)のパターニング、表面酸化層(38a)及びバリアメタル(38)のウェットエッチングによるパターニングを行うことを特徴としている。

【0008】

このように、バリアメタル(38)の表面に表面酸化層(38a)を形成することにより、バリアメタル(38)のパターニングの際のウェットエッチングにおいて、この表面酸化層(38a)がバリアメタル(38)と導電性薄膜(39)との間に発生する電位差を抑制することができる。これにより、導電性薄膜(39)の溶出を抑制することができる。

【0009】

請求項2に記載の発明においては、表面酸化層(38a)及びバリアメタル(38)をパターニングする工程の後に、熱処理を施し、表面酸化層(38a)と導電性薄膜(39)とを反応させることを特徴としている。

このように、表面酸化層(38a)と導電性薄膜(39)とを反応させることにより、表面酸化層(38a)と導電性薄膜(39)とのコンタクト性能を向上させることができる。

【0010】

具体的には、請求項3に示すように、導電性薄膜(39)上に、層間絶縁膜(40)を介して形成するAl配線(41)におけるAlシンターで熱処理を行うことができる。

なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0011】

【発明の実施の形態】

以下、本発明を図に示す実施形態について説明する。

図1は、本発明の一実施形態を適用して製造したMOSFETの集積回路の一断面を示している。

シリコン基板21はSOI (silicon on insulator) 構造で構成されており、高不純物濃度のp型基板21a上にシリコン酸化膜21bを介して高不純物濃度のn型層21c及び低不純物濃度のn型層21dが積層された構成となっている。

【0012】

このシリコン基板21には、トレンチを埋め込んだシリコン酸化膜22a及び多結晶シリコン層22bが形成されており、これらによって素子(MOSFET)形成領域23と薄膜抵抗体形成領域24とが素子分離されている。

素子形成領域23において、n型層21dにはp型不純物が導入されてp型ウェル層23aが形成されている。このp型ウェル層23aの表層部にはn型のソース領域25a及びn型のドレイン領域25bが形成されている。

【0013】

ソース領域25a及びドレイン領域25bとの間におけるp型ウェル層23aの表層部にはゲート酸化膜26が形成されている。なお、シリコン基板21の表面にはLOCOS膜27が形成されており、素子形成領域23と薄膜抵抗体形成領域24とが素子分離されている。

ゲート酸化膜26上にはゲート電極28が形成されており、ゲート電極28は絶縁膜としてのBPSG膜29で覆われている。ソース領域25a(およびドレイン領域25b)はコンタクトホールを介してTiN膜30及び1stAl膜としてのAlSiCu膜31(ソース電極やドレイン電極)に接続されている。なお、薄膜抵抗体形成領域24内のBPSG膜29上に形成された配線パターン32a、32bは、1stAl膜としてAlSiCu膜31を形成する際に同時に

形成されたものである。

【0014】

ゲート電極28及びソース電極（ドレイン電極）31はP-SiN膜33、TEOS膜34、SOG（spin on glass）35、及びシリコン酸化膜36によって覆われている。

そして、シリコン酸化膜36の上の所定位置に薄膜抵抗体37が形成されている。薄膜抵抗体37は、CrSi膜で構成されており、膜厚が15nm程度となっている。LOCOS膜27のうち、薄膜抵抗体37の下方に位置する部分27aは凹凸形状を成しており、レーザトリミングの際にレーザ光が散乱されるようになっている。

【0015】

薄膜抵抗体37の両端には、TiW膜からなるバリアメタル38が備えられており、バリアメタル38の上には、後述するように表面酸化層38aが変質されて形成された合金化層38bを介して薄膜抵抗体用電極としてのAl薄膜層39が備えられている。表面酸化層38aは、例えばバリアメタル38を酸化することによって形成されたもので、Al薄膜層39及びバリアメタル38をウェットエッチングにてパターニングする際に、この表面酸化層38aがAl薄膜層39が逆テーパー形状にエッチングされるのを防止する役割を果たす。

【0016】

なお、この表面酸化層38aは、バリアメタル38のパターニング₅の熱処理（例えばAlシンター）でAl薄膜層39との合金化により良導性の合金化層38bとなる。

そして、薄膜抵抗体37を含むシリコン基板21の上面全面を覆うように、層間絶縁膜としてのシリコン酸化膜40が形成されており、このシリコン酸化膜40に形成されたビアホール40aを介して配線パターンを成す2nd Al膜としてのAl薄膜層41が形成されている。さらに、Al薄膜層41を含むシリコン基板21の上面全面がP-SiN膜からなる保護膜42で覆われている。

【0017】

このように構成されたMOSFETの集積回路は、薄膜抵抗体37の抵抗値を

調整するためにレーザートリミング処理される。このとき、上述したように、薄膜抵抗体37の下方のLOCOS膜27が凹凸形状となっているため、レーザー光を散乱させることができる。このため、レーザー光の干渉等をなすことができ、薄膜抵抗体37の溶断が良好に行われる。

【0018】

次に、図1に示したMOSFETの集積回路の製造方法について図2～図12に基づいて説明する。

〔図2に示す工程〕

高不純物濃度のp型基板21a上にシリコン酸化膜21bを介して高不純物濃度のn型層21c及び低不純物濃度のn型層21dが積層されたSOI構造のシリコン基板21を用意する。

【0019】

そして、各素子の境界部分にシリコン酸化膜21bまで達するトレンチを形成したのち、トレンチの側壁にシリコン酸化膜22aを形成すると共に、シリコン酸化膜22aの間を他結晶シリコン層22bで埋めて素子分離を行う。

次に、選択的にイオン注入を行い、MOSFET形成領域23におけるn型層21dの表層部にp型ウェル層23aを形成する。そして、LOCOS酸化によりトレンチ上にLOCOS酸化膜27を形成する。このとき、薄膜抵抗体形成領域においては、薄膜抵抗体37（図1参照）のレーザートリミングの加工性を向上させる構造として、LOCOS膜27が凹凸形状となるようにしている。

【0020】

さらに、p型ウェル層23a上にゲート酸化膜26を形成したのち、ポリシリコンを堆積する。そして、ポリシリコンをパターニングしてゲート電極28を形成する。この後、ゲート電極28をマスクとしてイオン注入を行い熱処理を行うことでソース領域25a、ドレイン領域25bを形成する。

その後、シリコン基板21の表面全面に層間絶縁膜となるBPSG膜29をCVD法等により形成し、リフロー処理を行う。

【0021】

〔図3に示す工程〕

BPSG膜29にコンタクトホール29aを形成したのち、900~950℃程度のリフロー処理を施し、コンタクトホール29aのエッジ部がなだらかになるようにする。

〔図4に示す工程〕

バリアメタルとしてのTiN膜30を100nm程度の膜厚で形成する。そして、スパッタによりAlSiCu膜を0.45μm程度の膜厚で成膜したのち、1stAl膜31をECR (Electron cyclotron resonance) ドライエッチングにてパターニングする。

【0022】

〔図5に示す工程〕

まず、P-SiN膜33を成膜したのち、CVD法により第1TEOS膜34を0.2μm程度の厚さで形成する。さらに、SOGを塗布したのち、ベーク及びエッチバック処理にてSOG35でシリコン基板21の表面の凹凸部分を埋め、平坦化する。また、CVD法により第2aTEOS膜36を0.3μm程度の膜厚で成膜する。

【0023】

〔図6に示す工程〕

そして、スパッタによりCrSi膜を15nm程度の膜厚で成膜したのち、CrSi膜をパターニングして薄膜抵抗体37を形成する。

さらに、薄膜抵抗体37上を含むシリコン基板21の上面全面にTiW膜からなるバリアメタル38を1000Å程度の膜厚で成膜する。

【0024】

〔図7に示す工程〕

その後、流水洗浄、熱処理、O₂ アッシング等によってバリアメタル38の表面を酸化処理し、バリアメタル38の表面に表面酸化層38aを形成する。この表面酸化層38aはTiO₂ によって構成されている。

〔図8に示す工程〕

薄膜抵抗体用の電極となるAl膜を2000Å程度の膜厚で成膜する。そして、フォトリソグラフィ工程を実施するために、フォトレジスト45をパターニン

グして薄膜抵抗体37の両端に残す。

【0025】

〔図9に示す工程〕

フォトレジスト45をマスクとしてウェットエッチングを行い、A1薄膜層39をパターンニングする。

〔図10に示す工程〕

フォトレジスト45をマスクとしてウェットエッチングを行い、表面酸化層38a及びバリアメタル38をパターンニングする。このウェットエッチングには、 H_2O_2/NH_4OH 系溶液をエッチング液として使用しており、高エッチレートを実現できるため、フォトレジストが浮いてしまうのを防止できる。

【0026】

このとき、図7に示す工程にてバリアメタル38の表面に表面酸化層38aが形成されているため、ウェットエッチング時にA1薄膜層39とバリアメタル38との間に発生する電位差を低減することができる。具体的には、A1薄膜層39とバリアメタル38の間に表面酸化層38aを介在させることにより、この表面酸化層38aが障壁となってA1薄膜層39とバリアメタル38の間における電子のやり取りを低減し、電位差を低減するのである。

【0027】

このため、A1薄膜層39とバリアメタル38の間の電位差によって発生する電池効果を低減することができ、バリアメタル38の界面付近のA1エッチレートが大きくなってしまふことを防止できる。このため、A1薄膜層39が逆テーパー形状とならないようにできる。

この後、フォトレジストを剥離する。

【0028】

〔図11に示す工程〕

シリコン基板21の表面全面をシリコン酸化膜(SiO_2)で覆う。このとき、A1薄膜層39が逆テーパー形状となっていないため、シリコン酸化膜も逆テーパー形状とならない。

そして、450℃、30分間のA1シンターを施し、A1薄膜層39と表面酸

化層38aとが反応して($Al + TiO_2 \rightarrow TiAl_3$)、Al薄膜層39とバリアメタル38の界面に $TiAl_3$ 合金層38bが形成される。この $TiAl_3$ 合金層38bを構成する $TiAl_3$ は、400~500℃程度の熱処理によって形成されると言われている。この $TiAl_3$ 合金層38bによってバリアメタル38とAl薄膜層39との間のコンタクト性能が良好になる。

【0029】

〔図12に示す工程〕

シリコン酸化膜40にビアホール40aを形成したのち、このビアホールを介して2nd Al膜としてのAlSi膜41をパターンニングする。このとき、シリコン酸化膜が逆テーパ形状となっていないため、AlSi膜41は断線することなく、良好なパターンで形成される。

【0030】

さらに、AlSi膜41を含むシリコン基板21の上面全面をP-SiN膜からなる保護膜42で覆ったのち、リフロー処理を施す。なお、上述した図11の工程のAlシンターにて、表面酸化層38aをAl薄膜層39と反応させて、コンタクト性能の向上を図ったが、このリフロー処理においても同様のことが可能である。このため、表面酸化層38aはこれらの処理によってAl薄膜層39と反応してしまう程度に厚さ等が制御されているのが好ましい。

【0031】

このように、Al薄膜層39とバリアメタル38との間に表面酸化層38aを形成することにより、Al薄膜層39が逆テーパ形状と成らないようにすることにより、このAl薄膜上に形成される配線パターン(AlSi膜41)が断線することを防止することができる。

そして、熱処理を施すことによって表面酸化層38aをAl薄膜層39と反応させ、コンタクト性能の向上を図ることができる。

【0032】

(第2実施形態)

本実施形態では、第1実施形態とバリアメタル38のパターンニング方法が異なる場合を示す。図13~図16に本実施形態におけるMOSFETの集積回路の

製造工程を示す。なお、これらの図は、第1実施形態で説明した製造方法と異なる部分のみを示したものであるため、同様の工程の部分は第1実施形態を参照して説明する。

【0033】

まず、図2～図5に示す工程を施す。そして、図13～図16に示す工程を施す。

〔図13に示す工程〕

まず、スパッタによりCrSi膜51を15nm程度の膜厚で成膜したのち、さらにこのCrSi膜51上にTiW膜52を1000Å程度の膜厚で成膜する。

【0034】

そして、フォトレジスト53を堆積して、薄膜抵抗体37（図1参照）を形成する予定の領域にのみフォトレジスト53を残す。

〔図14に示す工程〕

そして、TiW膜52と共にCrSi膜51をパターニングする。これにより、薄膜抵抗体37及びバリアメタル38が形成される。

【0035】

その後、流水洗浄、熱処理、 O_2 アッシング等によってバリアメタル38の表面を酸化処理し、バリアメタル38の表面に表面酸化層38aを形成する。この表面酸化層38aは TiO_2 によって構成されている。

〔図15に示す工程〕

次に、薄膜抵抗体用の電極となるAl薄膜層39を2000Å程度の膜厚で成膜する。そして、フォトリソグラフィ工程を実施するために、フォトレジスト55をパターニングし、薄膜抵抗体37の両端にフォトレジスト55を残す。

【0036】

この後、フォトレジスト55をマスクとしてドライエッチングを行い、Al薄膜層39をパターニングする。

〔図16に示す工程〕

そして、フォトレジスト55をマスクとしてウェットエッチングを行い、表面

酸化層 38a 及びバリアメタル 38 をパターニングする。このウェットエッチングには、 $\text{H}_2\text{O}_2 / \text{NH}_4\text{OH}$ 系溶液をエッチング液として使用している。

【0037】

このとき、図 14 に示す工程にてバリアメタル 38 の表面に表面酸化層 38a が形成されているため、第 1 実施形態と同様に、A1 薄膜層 39 が逆テーパ形状とならないようにできる。

この後、図 11～図 12 に示す工程を経て MOSFET の集積回路が完成する。このように、薄膜抵抗体 37 及びバリアメタル 38 を同一マスクを用いてパターニングしても、第 1 実施形態と同様の効果を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態を適用して形成した MOSFET 部と CrSi 抵抗部との集積回路を示す図である。

【図 2】

図 1 に示す集積回路の製造工程を示す図である。

【図 3】

図 2 に続く集積回路の製造工程を示す図である。

【図 4】

図 3 に続く集積回路の製造工程を示す図である。

【図 5】

図 4 に続く集積回路の製造工程を示す図である。

【図 6】

図 5 に続く集積回路の製造工程を示す図である。

【図 7】

図 6 に続く集積回路の製造工程を示す図である。

【図 8】

図 7 に続く集積回路の製造工程を示す図である。

【図 9】

図 8 に続く集積回路の製造工程を示す図である。

【図 10】

図 9 に続く集積回路の製造工程を示す図である。

【図 11】

図 10 に続く集積回路の製造工程を示す図である。

【図 12】

図 11 に続く集積回路の製造工程を示す図である。

【図 13】

第 2 実施形態による MOSFET 部と CrSi 抵抗部との集積回路の製造工程を示す図である。

【図 14】

図 13 に続く集積回路の製造工程を示す図である。

【図 15】

図 14 に続く集積回路の製造工程を示す図である。

【図 16】

図 15 に続く集積回路の製造工程を示す図である。

【図 17】

従来におけるウェットエッチングによる Al 薄膜層のアンダーカットを説明するための図である。

【図 18】

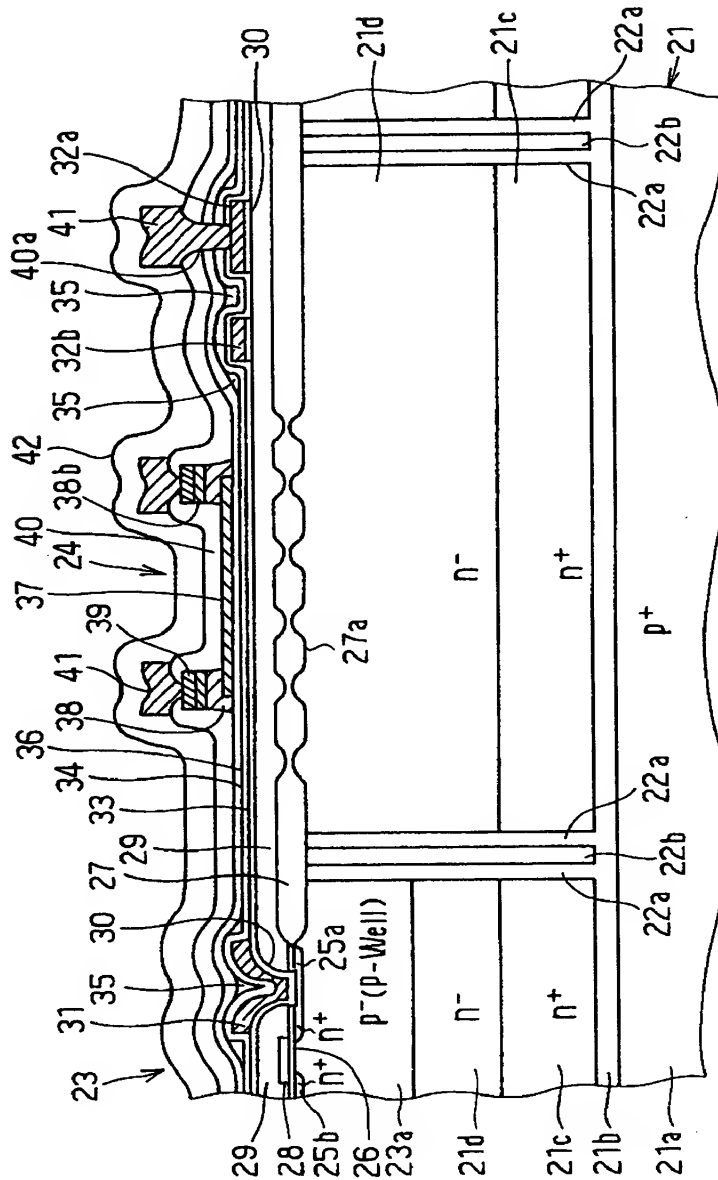
Al 薄膜層のアンダーカットのメカニズムを説明するための図である。

【符号の説明】

21…シリコン基板、36…シリコン酸化膜、37…薄膜抵抗体、
38…バリアメタル、38a…表面酸化層、39…Al 薄膜層、
40…シリコン酸化膜、41…AlSi 膜、42…保護膜。

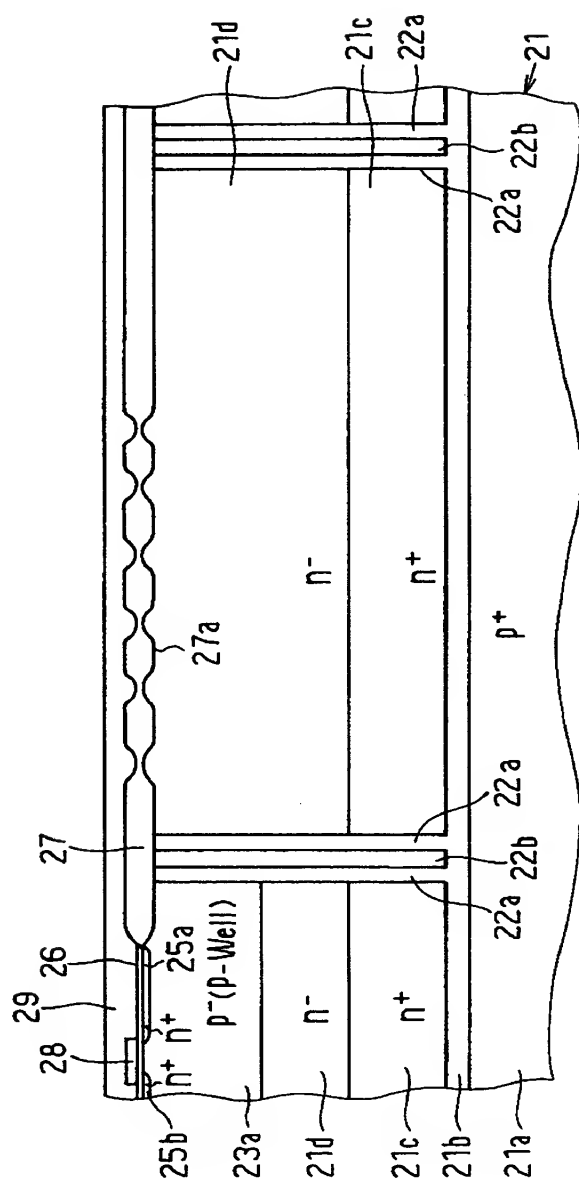
【書類名】 図面

【図1】

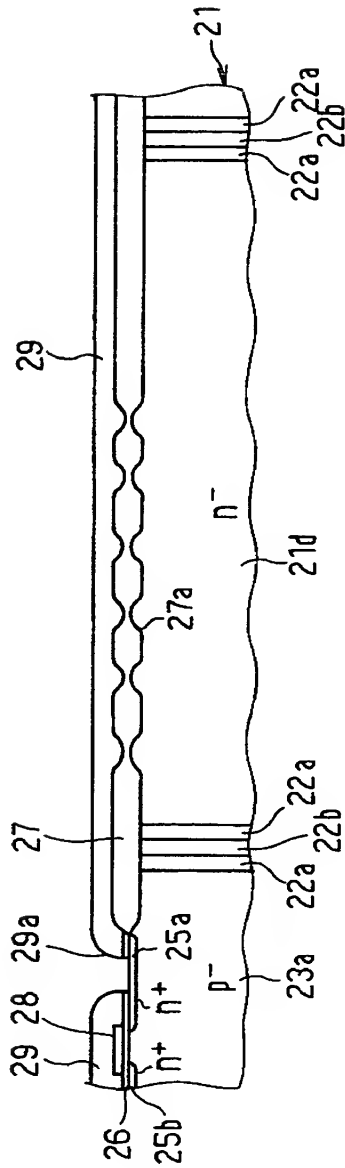


- 37: 薄膜抵抗体
- 38: バリアメタル
- 38a: $TiAl_3$ 層
- 39: Al 薄膜層
- 40: シリコン酸化膜
- 41: Al Si 層 (配線パターン)

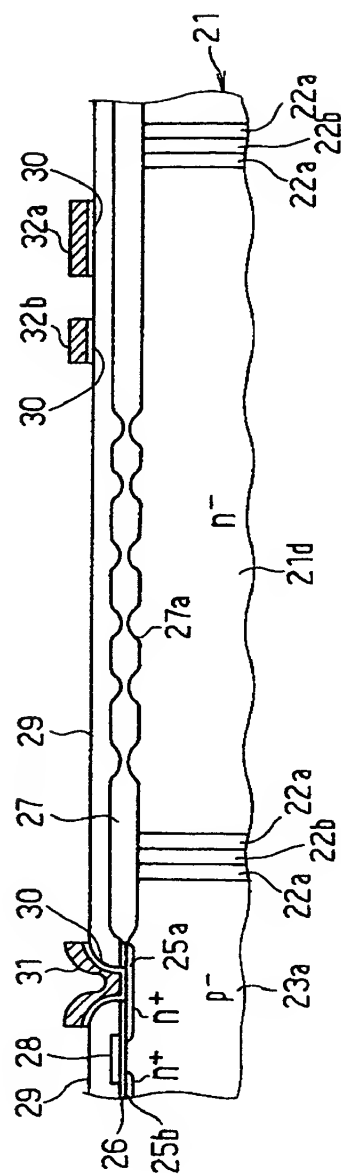
【図 2】



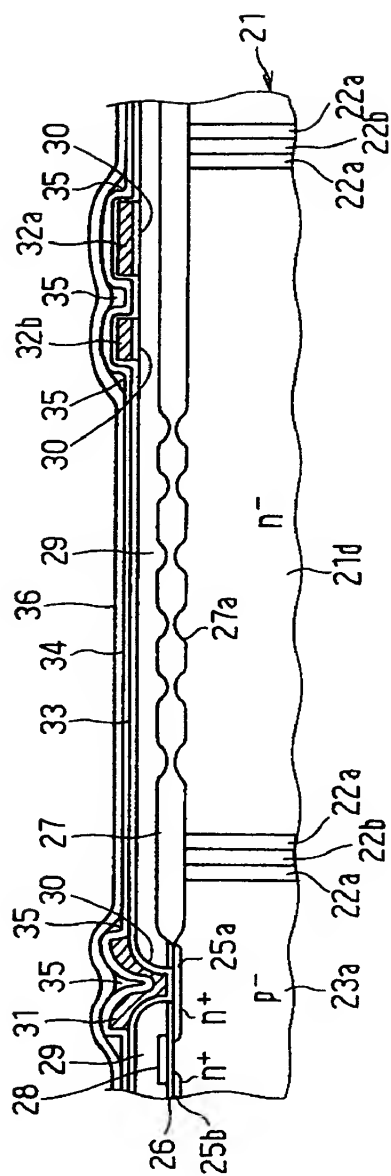
【图3】



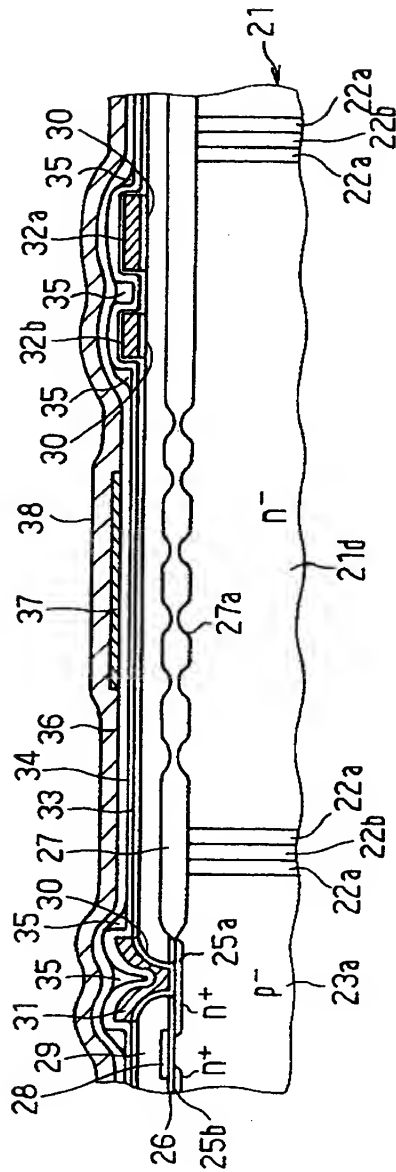
【図 4】



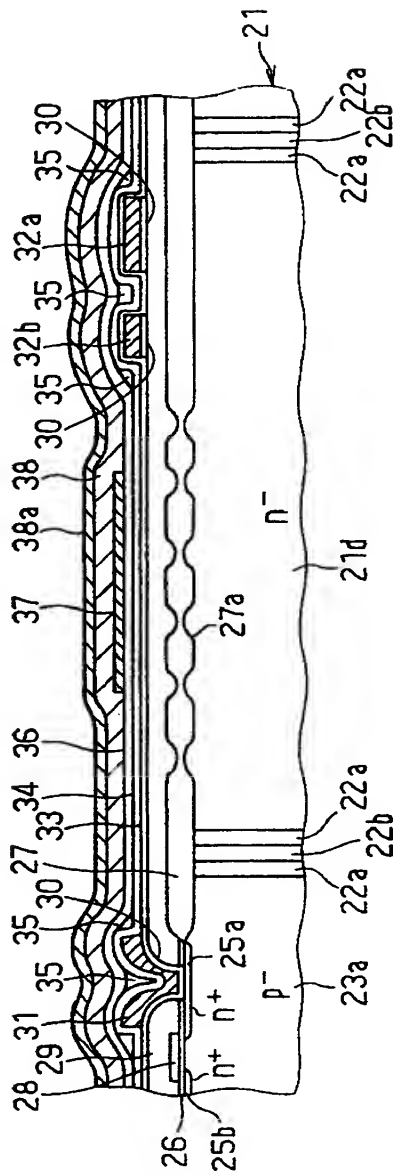
【図 5】



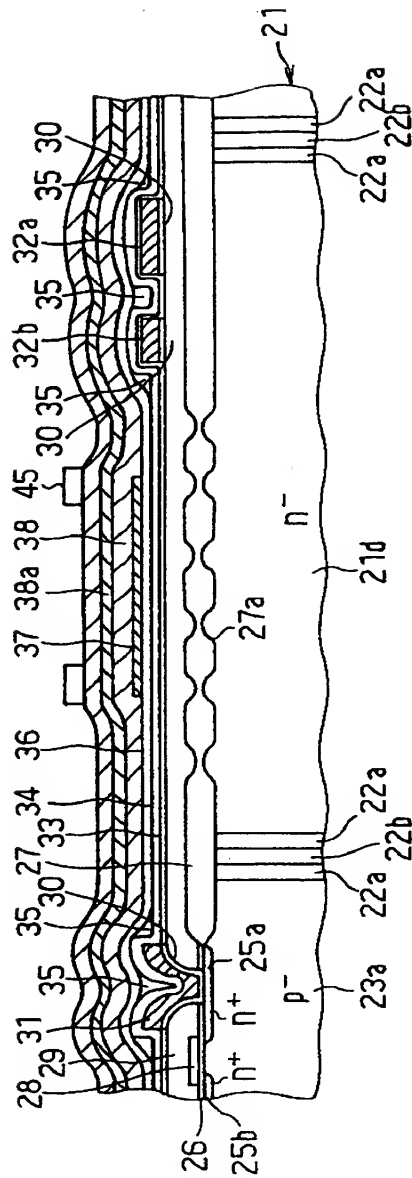
【図 6】



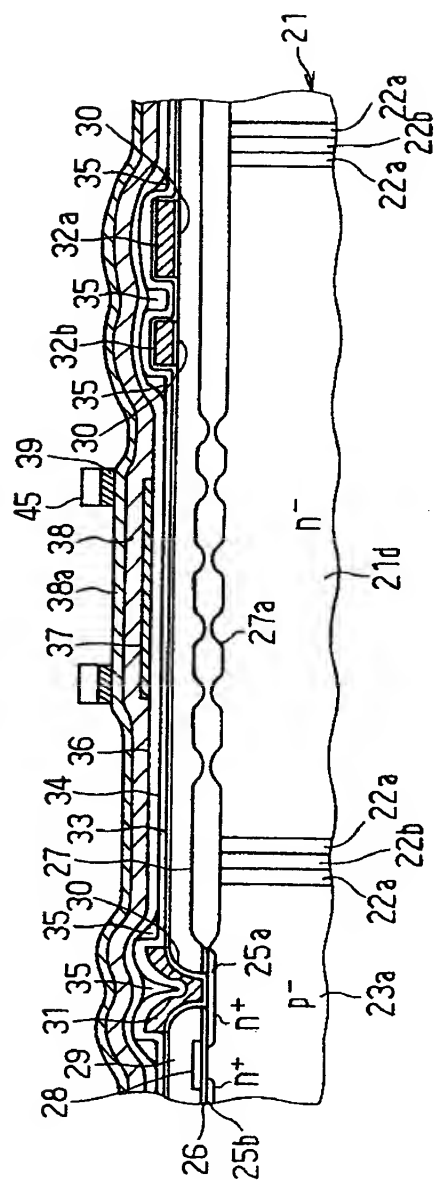
【図 7】



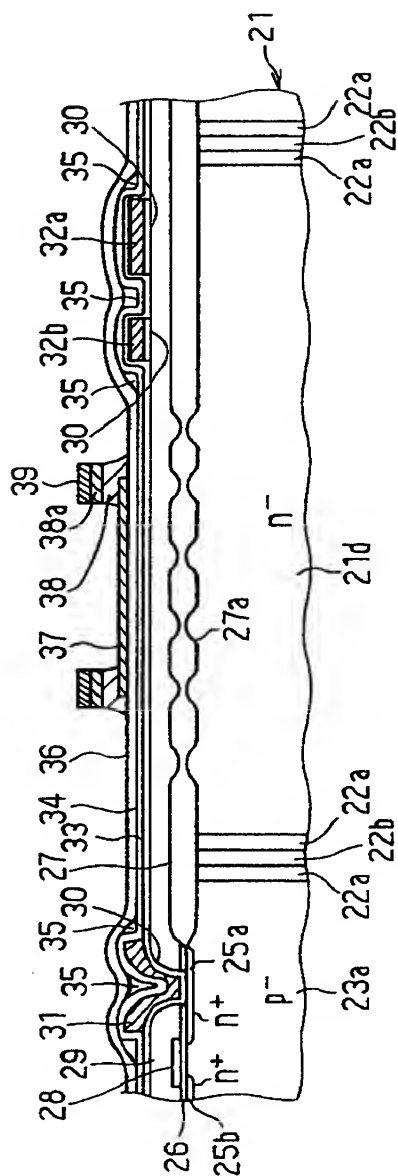
【図 8】



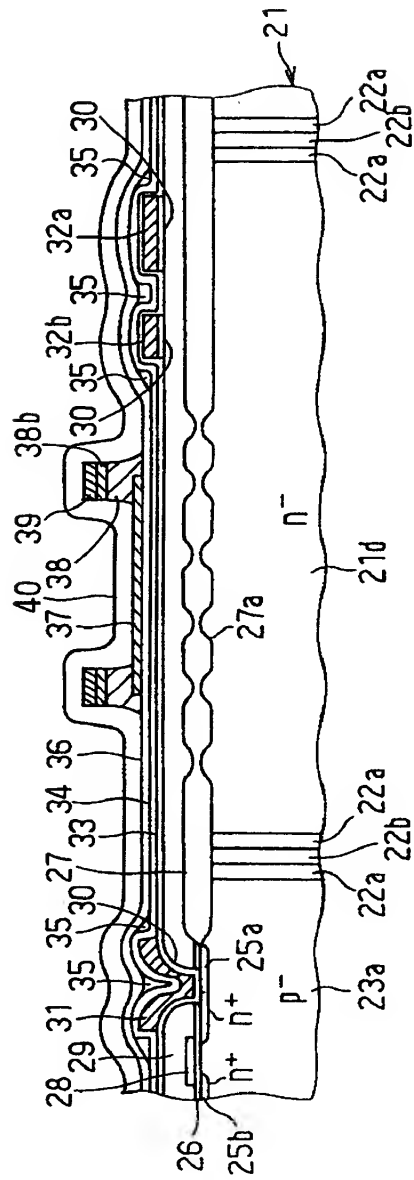
【図9】



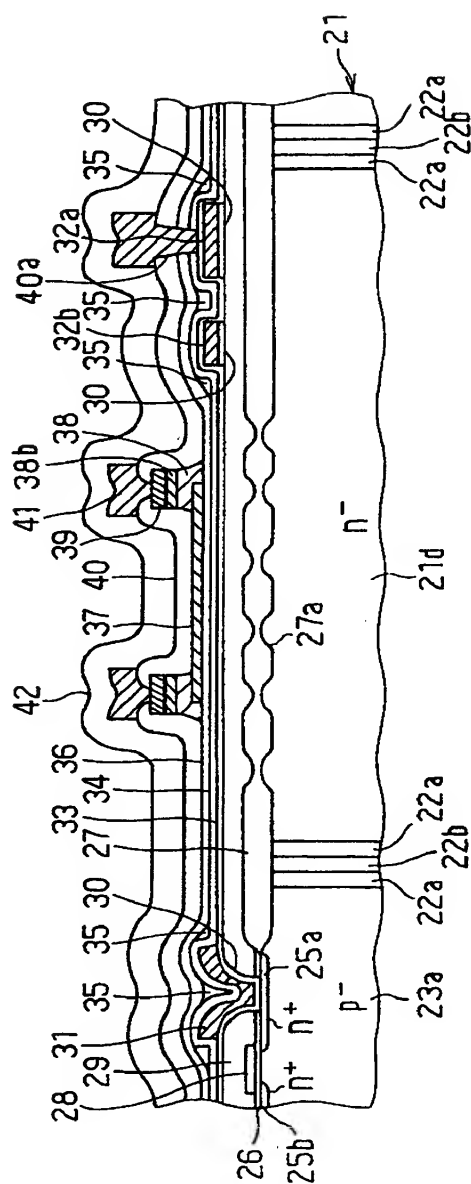
【図10】



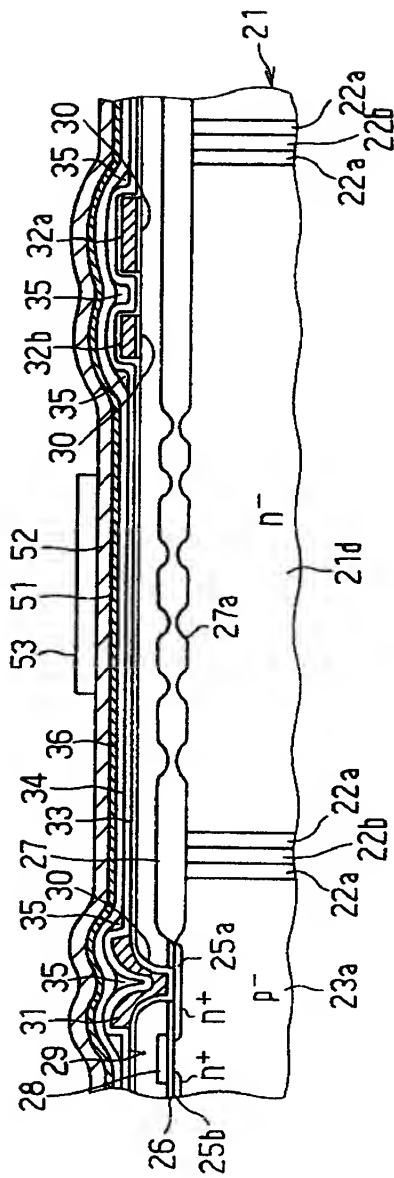
【図 11】



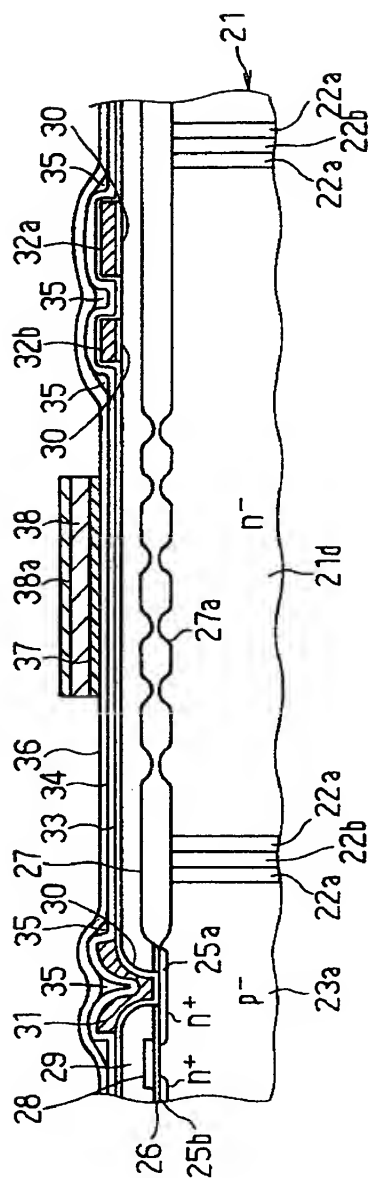
【図 12】



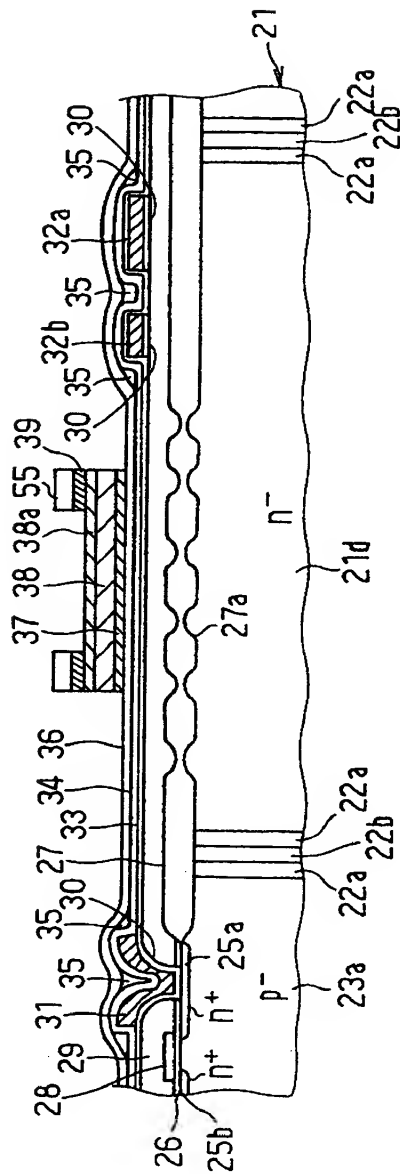
【図 13】



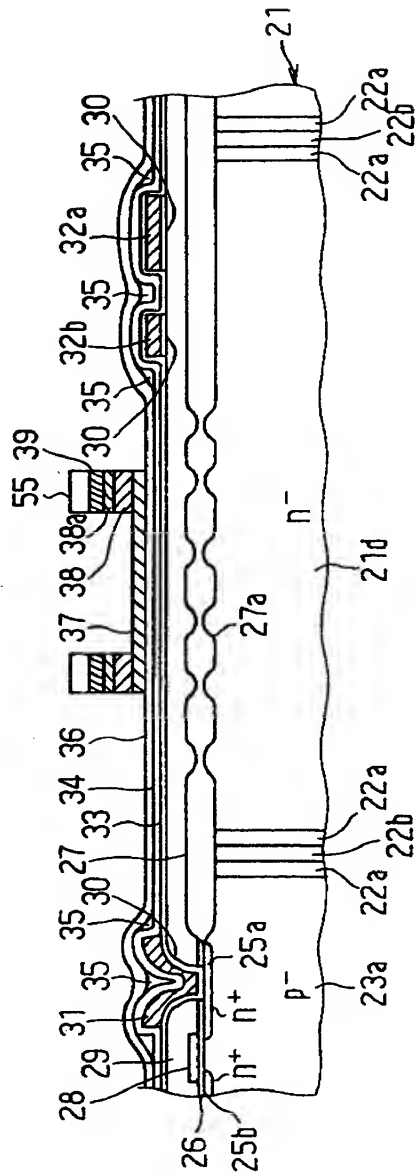
【图 14】



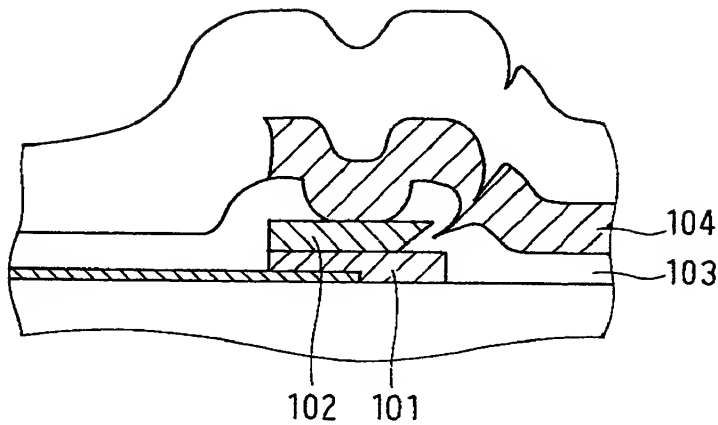
【図15】



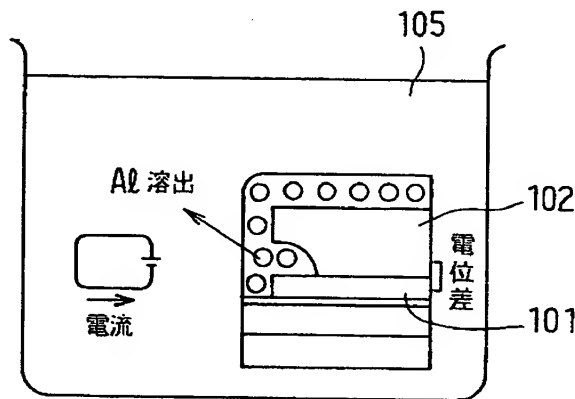
【図 16】



【図17】



【図18】



反応式	卑な金属側	$Al \rightarrow Al^{3+} + 3e^{-}$
	貴な金属側	$\frac{3}{2} H_2O + \frac{3}{4} O_2 + 3e^{-} \rightarrow 3OH^{-}$
	電解質溶液中	$Al^{3+} + 3OH^{-} \rightarrow Al(OH)_3$

【書類名】 要約書

【要約】

【課題】 バリアメタル上の導電性薄膜が逆テーパ形状とならないようにして、上層に形成される配線パターンの断線を防止する。

【解決手段】 バリアメタル 38 の表面を酸化させて表面酸化層 38 a を形成したのち、この表面酸化層 38 a 上に Al 薄膜層 39 を形成して、Al 薄膜層 39 のパターニング、表面酸化層 38 a 及びバリアメタル 38 のウェットエッチングによるパターニングを行う。このように、バリアメタル 38 の表面に表面酸化層 38 a を形成することにより、バリアメタル 38 のパターニングの際のウェットエッチングにおいて、この表面酸化層 38 a がバリアメタル 38 と Al 薄膜層 39 との間に発生する電位差を抑制することができる。これにより、Al 薄膜層 39 の溶出を抑制することができる。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000004260
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地
【氏名又は名称】 株式会社デンソー

【代理人】 申請人

【識別番号】 100100022
【住所又は居所】 愛知県名古屋市中村区名駅二丁目38番2号 オー
キッドビル7階 伊藤洋二特許事務所
【氏名又は名称】 伊藤 洋二

【選任した代理人】

【識別番号】 100108198
【住所又は居所】 愛知県名古屋市中村区名駅二丁目38番2号 オー
キッドビル7階 伊藤洋二特許事務所
【氏名又は名称】 三浦 高広

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー